

Practitioner's Docket No.: 021906-0305881
Client Reference No.: PIA30855/ANS/US-SY

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: YOUNG HUN SEO Confirmation No:

Application No.: Group No.:

Filed: September 9, 2003 Examiner:

For: METHOD FOR FORMING A SHALLOW TRENCH ISOLATION USING AIR
GAP

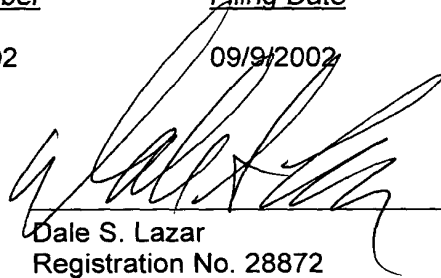
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is
claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
REPUBLIC OF KOREA	10-2002-0054202	09/9/2002

Date: September 9, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Dale S. Lazar
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0054202
Application Number

출원 년 월 일 : 2002년 09월 09일
Date of Application SEP 09, 2002

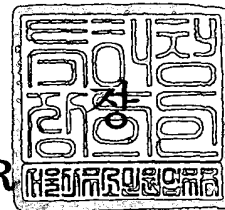
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 08 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002.09.09
【발명의 명칭】	에어 갭 특성을 이용한 반도체 S T I 형성 방법
【발명의 영문명칭】	METHOD FOR FORMING A SHALLOW TRENCH ISOLATION USING OF AIR GAP
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-068046-1
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-068052-0
【발명자】	
【성명의 국문표기】	서영훈
【성명의 영문표기】	SEO, Young Hun
【주민등록번호】	691112-1480811
【우편번호】	420-730
【주소】	경기도 부천시 원미구 중4동 은하마을 532-104
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원

1020020054202

출력 일자: 2003/8/21

【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은, 반도체 STI 형성 방법에 있어서, 실리콘 기판 상에 산화막과 질화막을 순차 적층한 후 포토레지스트를 패턴으로 하여 모트 패터닝 공정을 실시하는 제 1 단계와; 제 1 단계에 의해 형성된 모트 패턴을 따라 질화막과 산화막을 식각하는 제 2 단계와; 질화막을 마스크로 사용하여 이온주입 공정을 실시하여 이온주입 농도와 에너지를 조절하도록 하는 제 3 단계와; 실리콘 기판을 양극산화반응시킴으로써, 다공성 실리콘을 형성하되, 이온주입 공정에 의해 다공성 실리콘 하부면에 에어 갭이 형성되어 이온주입 농도에 의해 다공성 실리콘의 다공성도가 조절되는 제 4 단계와; 제 4 단계에서 형성된 다공성 실리콘을 산화반응시키는 제 5 단계와; 질화막을 제거하는 제 6 단계를 포함한다

따라서, 본 발명은 후속하는 산화 공정에서의 공정 용이성을 높이고, 미세한 STI 스페이스에서도 보다 균일한 STI 영역을 확보할 수 있으며, CMP 공정을 제거함으로써 공정의 단순화와 게이트 프로파일을 균일하게 형성하는 효과가 있다.

【대표도】

도 2b

【명세서】

【발명의 명칭】

에어 갭 특성을 이용한 반도체 S T I 형성 방법{METHOD FOR FORMING A SHALLOW TRENCH ISOLATION USING OF AIR GAP}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래의 전형적인 STI 공정 과정을 나타낸 단면도,

도 2a 내지 도 2g는 본 발명의 바람직한 실시예에 따른 다공성 실리콘의 증발을 이용한 반도체 STI 형성 과정을 나타낸 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10, 20 : 실리콘 기판	12, 22 : 산화막
14, 24 : 질화막	16, 26 : 포토레지스트
18, 32 : 절연층	28 : 측벽 폴리실리콘
30 : 다공성 실리콘	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 STI(Shallow Trench Isolation) 형성 기술에 관한 것으로, 특히, STI를 균일하게 형성하고 공정을 단순화하는데 적합한 에어 갭(air gap) 특성을 이용한 반도체 STI 형성 방법에 관한 것이다.

- <9> 종래의 STI 공정에서는, 식각 기법을 변화시켜 가면서 누설 전류를 최소화하여 폭 (width) 및 깊이(depth)가 균일한 STI를 구현하고자 하였다.
- <10> 도 1a 내지 도 1e는 이러한 전형적인 STI 공정 과정을 설명하기 위한 도면이다.
- <11> 먼저, 도 1a에서는, 실리콘 기판(100) 상에 산화막(102)과 질화막(104)을 순차 적 층한 후, 포토레지스트(106)를 패턴으로 하여 모트(moat) 패터닝 공정을 실시한다.
- <12> 도 1b에서는 이러한 모트 패턴을 따라 질화막(104)과 산화막(102)을 식각하고, 실리콘 기판(100)을 순차 식각하여 STI 영역을 형성한다. 이때, 이러한 질화막(104)과 산화막(102)의 식각은, 예컨대, 엔드 포인트(End-point) 장비를 이용하여 구현될 수 있으며, 실리콘 기판(100)의 식각은 시간(time)을 이용하여 구현될 수 있을 것이다.
- <13> 그런 다음, 도 1c에서는 이러한 STI 영역 상에 SiO_2 를 증착함으로써 절연층(108)을 형성한다.
- <14> 그리고, 도 1d에 도시한 바와 같이, 과도 증착된 SiO_2 절연층(108)을 예를 들어, CMP(Chemical Mechanical Polishing) 공정을 통해 제거한다. 이때, 이러한 CMP 공정의 진행 여부는 상부에 존재하는 질화막의 접촉 저항으로 확인될 수 있다.
- <15> 끝으로, 도 1e에서는 질화막(104)을 제거하여 최종 STI 형성 공정을 완료한다.
- <16> 이상과 같이, 종래의 STI 공정에서는 식각 기법만을 변화시켜 균일한 STI 층을 구현하고자 하였다.
- <17> 그러나, 0.24um, 0.21um, 0.18um 등으로 STI 스페이스(space)가 줄어들에 따라 이러한 식각 기법만으로 균일성을 개선하는데에는 여러 가지 제약, 예를 들어, 공정 마진이 현저히 줄어들고 폴리머 형성이 복잡해 질 수밖에 없다는 제약이 따른다.

<18> 즉, 도 1b에서와 같이, 0.18um 기법까지는 STI의 스페이스가 0.24um로 밀집(dense) 영역과 절연(isolation) 영역의 깊이 균일도가 나빠질 가능성이 크지 않지만, 향후, 0.15um, 0.13um 등으로 공정 기술이 변화되면서 요구되어지는 STI 스페이스는 0.21um, 0.18um 등으로 줄어들게 되어 현 기술로는 이러한 요구 사항들을 충족시킬 수 없다는 문제가 제기되었다.

<19> 또한, 도 1d에 도시한 바와 같이, 종래의 STI 공정에서는 STI 형성 후 과도 증착되는 SiO₂ 층을 제거하기 위해서 상술한 바와 같은 CMP 공정 등과 같은 일련의 공정이 필수적으로 수반되는데, 이러한 CMP 공정은 미세한 STI 스페이스에 따른 균일도를 유지하기가 용이하지 않을뿐더러, 스페이스의 차이에 따라서 SiO₂가 과도 CMP되는 영역이 있어, 향후 게이트 형성 공정 중에 프로파일에 영향을 미치는 단차를 유발시킬 소지가 있다.

<20> 게다가, CMP 공정 추가로 인해 전체 공정이 복잡해질 수 밖에 없다는 문제가 제기되었다.

<21> 따라서, 다양한 스페이스에서도 균일한 두께의 STI 깊이를 유지하고, 공정 단순화를 구현할 수 있는 기술이 요망된다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상술한 요망에 부응하여 안출한 것으로, 질화막을 식각하고 이온주입(implant) 공정을 실시한 후, 양극산화(anodizing)기법을 통해 형성된 다공성 실리콘(porous silicon)의 하부면에 에어 갭(air gap)을 형성하여 이 에어 갭을 통해 이온주입 농도를 변화시켜 다공성도를 조절함으로써, 보다 균일한 STI 영역을 확보하고 공정 단순

화를 피하도록 에어 갭 특성을 이용한 반도체 STI 형성 방법을 제공하는데 그 목적이 있다.

<23> 이러한 목적을 달성하기 위하여 본 발명은, 반도체 STI 형성 방법에 있어서, 실리콘 기판 상에 산화막과 질화막을 순차 적층한 후 포토레지스트를 패턴으로 하여 모트 패턴닝 공정을 실시하는 제 1 단계와; 제 1 단계에 의해 형성된 모트 패턴을 따라 질화막과 산화막을 식각하는 제 2 단계와; 질화막을 마스크로 사용하여 이온주입 공정을 실시하여 이온주입 농도와 에너지를 조절하도록 하는 제 3 단계와; 실리콘 기판을 양극산화 반응시킴으로써, 다공성 실리콘을 형성하되, 이온주입 공정에 의해 다공성 실리콘 하부면에 에어 갭이 형성되어 이온주입 농도에 의해 다공성 실리콘의 다공성도가 조절되는 제 4 단계와; 제 4 단계에서 형성된 다공성 실리콘을 산화반응시키는 제 5 단계와; 질화막을 제거하는 제 6 단계를 포함하는 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법을 제공한다.

【발명의 구성 및 작용】

<24> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다

<25> 설명에 앞서, 본 발명의 핵심 기술 요지는, 질화막을 식각하고 이온주입 공정을 실시하여 후속 양극산화반응시 다공성도를 조절하는 이온주입 층을 형성한 후 양극산화기법을 통하여 다공성 실리콘을 형성하는데, 이때, 로딩 효과(loading effect)가 없는, 즉, 스페이스에 따른 깊이의 불균일성이 없는 균일한 STI 영역을 형성하는 것이다. 또한, 본 발명은, 이온주입 층으로 인해 표면은 다공성 실리콘이 형성되고, 중간층은 빈 공간으로, 즉, 공기로만 채워지는 층(air gap)이 형성되는데, 이온주입 농도에 따라 다

공성도를 조절하여 실리콘을 제거함으로써 CMP 공정이 삭제된 공정 단순화를 구현한다는 것으로, 이러한 기술 사상으로부터 본 발명에서 목적으로 하는 바를 용이하게 구현할 수 있을 것이다.

<26> 도 2a 내지 도 2e는 본 발명의 바람직한 실시예에 따른 에어 갭 특성을 이용한 반도체 STI 형성 과정을 나타낸 공정 단면도이다.

<27> 먼저, 도 2a에 도시한 바와 같이, 실리콘 기판(200) 상에 산화막(202)과 질화막(204)을 순차 적층한 후 포토레지스트(206)를 패터닝 하여 모트 패터닝 공정을 실시한다. 그리고, 이러한 모트 패터닝을 따라 질화막(204)과 산화막(202)을 엔드 포인트 장비를 이용하여 식각한다. 이때, 본 실시예에서는, 식각으로 인해 형성되는 질화막 마스크에 슬로프(slope)를 주거나 추가 SW 질화막 공정을 추가함으로써, 형성된 패터닝보다 작은 스페이스를 형성시킬 수 있도록 하였다.

<28> 도 2b에서는, 도 2a의 질화막(204)을 마스크로 하여 본 실시예에 따른 이온주입 공정을 실시한다.

<29> 이때, 본 발명은, 이러한 이온주입 공정에 의한 이온주입 농도와 에너지를 조절함으로써, 계단식으로 표면에서 기판 아래까지 이온주입 농도를 상이하게 조절하는 것을 특징으로 한다.

<30> 또한, 본 발명은, 이러한 이온주입 공정에 의해 후속되는 양극산화 공정에서 다공성도의 조절이 가능한 것을 특징으로 한다.

<31> 또한, 본 발명은, 이러한 이온주입 공정의 이온주입 조건을 상이하게 다수 회 반복 수행함으로써 농도가 다른 이온주입 층을 형성하는 것을 특징으로 한다.

- <32> 또한, 본 발명은, 이러한 이온주입 공정을 이용하여 N-타입 또는 P-타입의 물질이 주입되는 것을 특징으로 한다.
- <33> 이후, 도 2c에서는, 질화막(204)을 마스크로 사용하여 노출된 반도체 실리콘 기판(200)을 양극산화반응시킴으로써, 다공성 실리콘(208)을 형성한다.
- <34> 이때, 본 실시예에서는, 상술한 도 2b에서 형성된 계단형 이온주입 층으로 인하여 표면에는 일정한 기공을 갖는 다공성 실리콘(208)이 형성되지만, 기판(200) 아래쪽에는 높은 이온주입 농도로 인한 에어 갭(210)이 형성되는 것을 특징으로 한다. 즉, 이러한 에어 갭(210)으로 인해 실리콘이 완전히 제거될 수 있는 것이다.
- <35> 또한, 본 실시예에서는 반응시간, 전류 량, HF 농도 등의 변수에 따라 이러한 다공성 실리콘 층(208)의 두께와 다공성도를 조절할 수 있도록 구현하였다.
- <36> 한편, 도 2d에서는 상술한 도 2c에서 형성된 표면 다공성 실리콘(208)을 산화반응시킴으로써 산화 반응된 다공성 실리콘(212)을 형성한다.
- <37> 끝으로, 도 2e에서는 질화막(204)을 제거하여 최종 STI 형성 공정을 완료한다.

【발명의 효과】

- <38> 따라서, 본 발명은 디바이스 크기가 감소함에 따라 0.25 μ m, 0.21 μ m로 점차 줄어드는 STI 스페이스의 감소시 발생할 수 있는 밀집 영역과 절연 영역의 STI 깊이 불균일성을 개선함으로써, 누설 전류를 감소시키고 나아가서 반도체 수율을 높일 수 있는 효과가 있다. 또한, 본 발명은 CMP 공정을 제거함으로써 공정의 단순화와 게이트 프로파일을 균일하게 형성하는 효과가 있다.

<39> 이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 후술하는 특허청구범위내에서 여러 가지 변형이 가능한 것은 물론이다.

【특허청구범위】**【청구항 1】**

반도체 STI(Shallow Trench Isolation) 형성 방법에 있어서,
실리콘 기판 상에 산화막과 질화막을 순차 적층한 후 포토레지스트를 패턴으로 하여 모트(moat) 패턴링 공정을 실시하는 제 1 단계와;

상기 제 1 단계에 의해 형성된 모트 패턴을 따라 상기 질화막과 산화막을 식각하는 제 2 단계와;

상기 질화막을 마스크로 사용하여 이온주입(implant) 공정을 실시하여 이온주입 농도와 에너지를 조절하도록 하는 제 3 단계와;

상기 실리콘 기판을 양극산화(anodizing)반응시킴으로써, 다공성 실리콘(porous silicon)을 형성하되, 상기 이온주입 공정에 의해 상기 다공성 실리콘 하부면에 에어 갭(air gap)이 형성되어 상기 이온주입 농도에 의해 상기 다공성 실리콘의 다공성도가 조절되는 제 4 단계와;

상기 제 4 단계에서 형성된 다공성 실리콘을 산화반응시키는 제 5 단계와;

상기 질화막을 제거하는 제 6 단계를 포함하는 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 2 단계는,

상기 식각 공정으로 인해 형성되는 질화막 마스크에 슬로프(slope)를 주거나 추가 SW 질화막 공정을 추가함으로써, 형성된 패턴보다 작은 스페이스를 형성하도록 하는 단계인 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 3 단계는,

이온주입 조건을 상이하게 다수 회 반복 수행함으로써 농도가 다른 이온주입 층을 형성하는 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 이온주입 공정에는 N-타입 또는 P-타입 물질이 주입되는 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 제 4 단계는,

매개변수에 따라 상기 다공성 실리콘의 두께와 다공성도를 조절하는 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법.

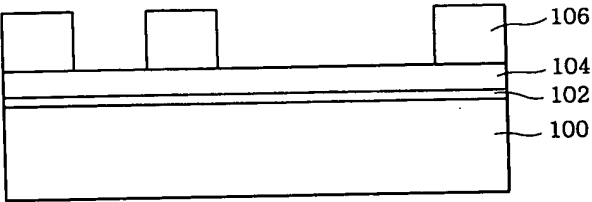
【청구항 6】

제 5 항에 있어서,

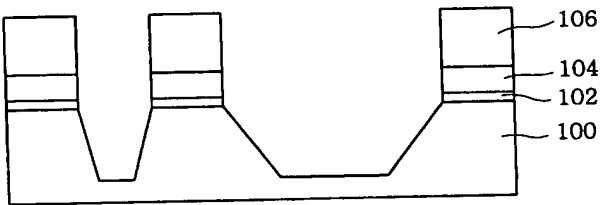
상기 매개 변수는 반응시간, 전류 량, HF 농도 중 적어도 하나 이상인 것을 특징으로 하는 에어 갭 특성을 이용한 반도체 STI 형성 방법.

【도면】

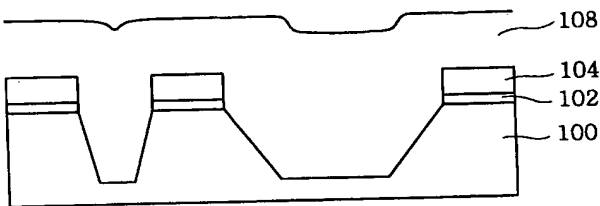
【도 1a】



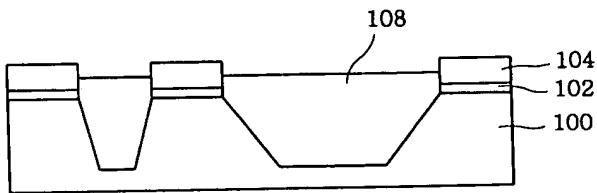
【도 1b】



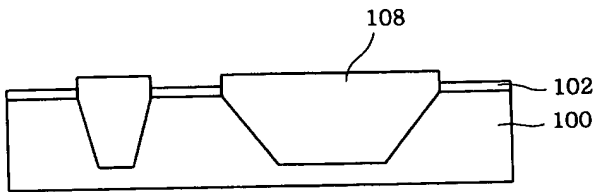
【도 1c】



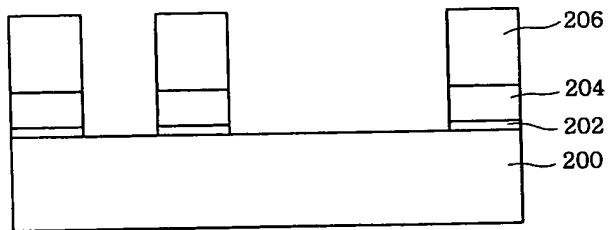
【도 1d】



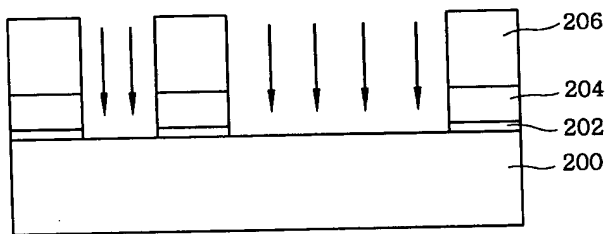
【도 1e】



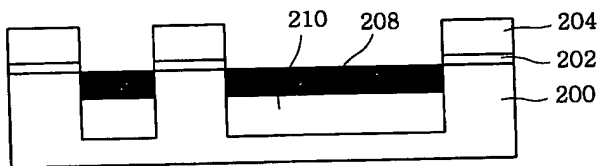
【도 2a】



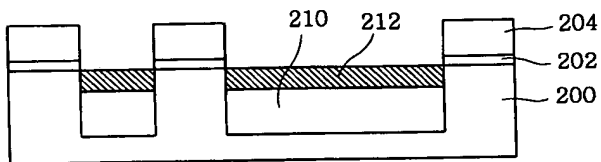
【도 2b】



【도 2c】



【도 2d】



【도 2e】

